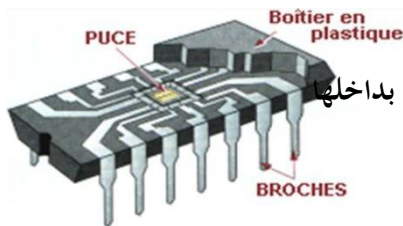


إشكالية: إن أهم التكنولوجيات المستعملة لإنجاز الأنظمة الآلية والتحكم فيها تنحصر في ثلاثة تكنولوجيات فقط هي:

التكنولوجيا، التكنولوجيا والتكنولوجيا

والجدول التالي يوضح أهم مميزات وسلبيات هذه التكنولوجيات:

نوع التكنولوجيا	زمن الاستجابة	الاستطاعة	سهولة التشغيل	الوضائف الموجودة	التوفر	السعر	الاستطاعة المنتجة	الطاقة المستعملة
الهوائية	3ms	من 2bar إلى 8bar	الربط معقد	OU , ET, OUI, NON	قليلة	مكلف	200L/min	كهربائية - أو ~
الكهربائية	0.2s: CC CA: من 0.75s إلى 60s	من 1.5W إلى 2W	أقل تعقيد	OU , ET, OUI, NON	قليلة	متوسط التكلفة	مغلق للتمرير أو مفتوح للتمرير	كهربائية - أو ~
الالكترونية	10ns	10mW	الربط سهل	OU , ET, OUI, NON, XOR	متوفرة	قليل التكلفة	بين 0.4V و 2.4V	كهربائية -



1. تعريف الدارة المندمجة: عبارة عن رقاقة صغيرة من

2. تدعى ذات بضع المليمترات المربعة، تحتوي بداخلها

على مجموعة من (مقاومات، ثنائيات، مقاحل

و في بعض الأحيان مكثفات)، بوضع داخل

تكون موصولة خارجيا ب..... يتراوح عددها بين

3. تصريف الدارات المندمجة :

تصنف الدارات المندمجة حسب و يمكن تمييز الأنواع التالية:

- SSI (Single Scale Integration) intégration à faible échelon:

تحتوي (حوالي في cm^2)

- MSI (Medium Scale Integration) intégration à moyenne échelon :

تحتوي..... بوابة منطقية (حوالي 1000 مقحل في cm^2)

• LSI (Large Scale Integration) intégration à grande echelon :

تحتوي..... بوابة منطقية (من 10^4 إلى 10^5 مقحل في cm^2)

• VLSI (Very Large Scale Integration) intégration à très grande echelon:

تحتوي..... بوابة منطقية (من 10^5 إلى 10^6 مقحل في cm^2)

4. عائلات الدارات المندمجة :

توجد عدة عائلات للدارات المندمجة ، و ذلك حسب تحوي ، من بين العائلات الأكثر استعمالا و معروفة تجاريا:

• (ransistor ransistor ogic) : مقحل مقحل منطقي

تعتبر أشهر العائلات المنطقية وأكثرها استعمالا وأقلها تكلفة، وتعتمد في صناعتها على تكنولوجيا المقاحل.....

• (omplementary etal xyde emiconducteur) : معدن أكسيد شبه ناقل مكمل

تختلف العائلة عن عائلة من الناحية، حيث تعتمد في صناعتها على مقاحل من نوع:

ترميز التسمية المستعملة في الدارات المندمجة :

TTL العائلة

SN

.....

7 4

.....

00

.....

N

.....

SN Texas
MC Motor
USN Sprague
SFC Sesco Cossem

7 = 0° à 70° .
5 = -55° à 125°

CMOS العائلة

MC

.....

40

.....

00

.....

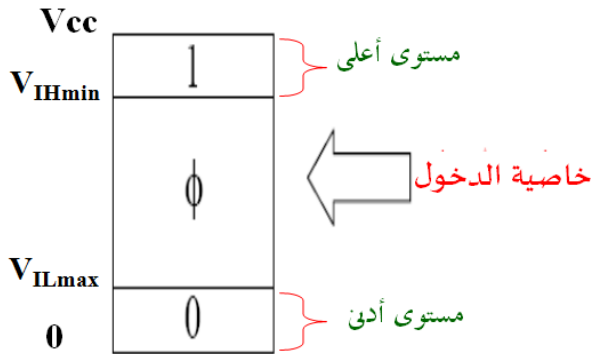
SCL Solid State Scientific Motorola
MC Motorola
CD ou TP Texas
CD National Semiconductor

5. الخصائص الرئيسية للدارات المندمجة المنطقية : نذكر منها :

1.4 / توتر التغذية : (Tension d'alimentation)

المستوى المنطقي : « 0 (Low :L) » و « 1 (High :H)..... » لا يُناسب توترا معيناً لكن مجالا توتريا.

نسمي قيم توترات الدخول بـ :

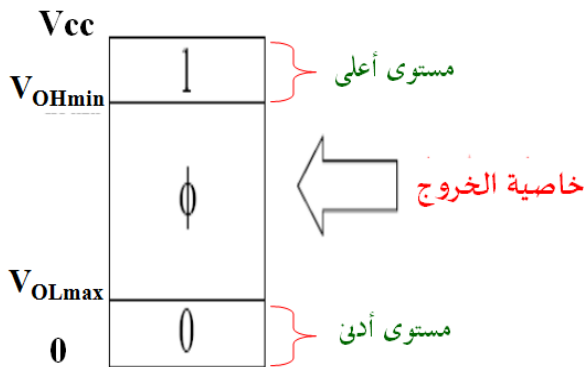


.....: $V_{IH\ min}$

.....: $V_{IL\ max}$

نلخص هذه المستويات بواسطة :

نُسَمِّي قيم توترات الخرج بـ :



.....: $V_{OH\ min}$

.....: $V_{OL\ max}$

نلخص هذه المستويات بواسطة :

بصفة عامة :

حتى نطبق في المدخل :

❖ 0 منطقي يجب أن :

❖ 1 منطقي يجب أن :

إذا كان المستوى المنطقي في المخرج :

❖ 1 منطقي فإن :

❖ 0 منطقي فإن :

توتر الخرج		توتر الدخول		التغذية V_{CC}	العائلة
V_{OLmin}	V_{OLmax}	V_{IHmin}	V_{ILmax}		
2.4V	0.4V	2V	0.8V	5V ± 5%	TTL
0.95V	0.05V	0.55V	0.45V	من 3V إلى	CMOS

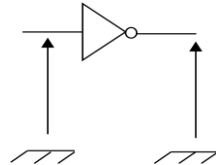
ملاحظة : - توتر التغذية بالنسبة لـ TTL هو و CMOS هو

2.4 / الاستطاعة الممتصة : (Puissance absorbée)

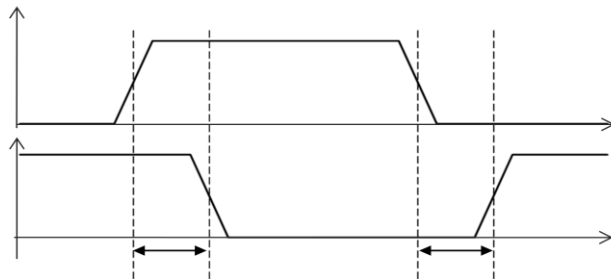
هي الاستطاعة

3.4 / زمن انتشار الإشارة بين المدخل و المخرج : (Temps de propagation)

هو زمن



إذا اعتبرنا بوابة عاكسة من عائلة TTL



فإن :

- t_1 : زمن تأخير لكي نمر من المستوى المنطقي إلى
- t_2 : زمن تأخير لكي نمر من المستوى المنطقي إلى

6. مختلف التكنولوجيات للعائلات المنطقية :

1.5 / العائلة المنطقية TTL :

TTL Standard : **74XX**

TTL low power **74LXX**

TTL schottky : **74SXX**

TTL low power schottky : **74LSXX**

TTL fast : **74FXX**

TTL advanced schottky : **74ASXX**

TTL advanced low power schottky : **74ALSXX**

L : استهلاك ضعيف للطاقة

S : مصنوعة من مقاحل Schottky

F : سريعة

A : تكنولوجيا متقدمة

2.5 / العائلة المنطقية CMOS :

74XXC ، 40XX

74AHCT ، 74AHC ، 74HCT ، 74HC

.....: السلسلة 74LV

Higt-Speed CMOS Logic :HC

Higt-Speed CMOS Logic compatible TTL :HCT

Advanced Higt-Speed CMOS Logic :AHC

Advanced Higt-Speed CMOS Logic compatible TTL :AHCT

Low Voltage HCMOS Technology :LV

جدول مقارنة بين العائلة TTL و CMOS

FAMILLE	زمن الانتشار nS	الاستطاعة المستهلكة mW	التواتر MHz
TTL standard	10	10	25
TTL H	6	10	43
TTL L	35	1	3
TTL S	3	10	110
TTL LS	10	2	33
CMOS 5 V	40	100 nW	8
CMOS 10 V	20	10 nW	16

.....: ملاحظات: 1 - الدارات المدمجة مصنوعة في أغلب الحالات تحت

.....

.....- 2

نشاط 1 : ليكن العددين التاليين :

$$A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$$

$$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$$

انجز التصميم الالكتروني الذي يمكننا من جمع بيتين a_2 مع b_2 ، لا نأخذ بعين الاعتبار الاحتفاظ من الرتبة السابقة

الحل :

جدول الحقيقة :

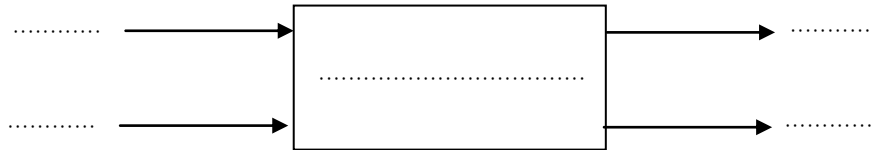
معادلات التشغيل :

.....
.....

التصميم المنطقي :

نسمي العملية السابق بـ : و الذي يحقق لعددين A و B

بصفة عامة :



$$A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$$

نشاط 2 : من أجل نفس العددين السابقين :

$$B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$$

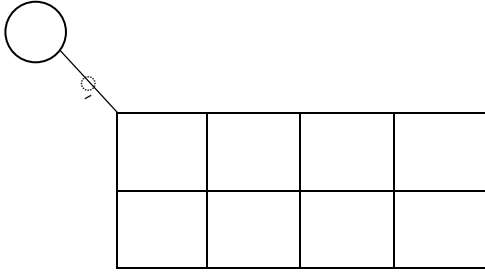
انجز التصميم الالكتروني الذي يمكننا من جمع بيتين a_2 مع b_2 ، مع الأخذ بعين الاعتبار الاحتفاظ من الرتبة السابقة

الحل :

.....
.....
.....

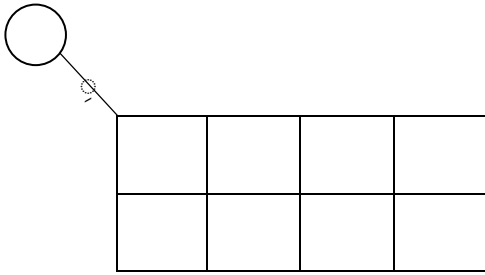
جدول الحقيقة :

معادلات التشغيل :



.....

.....

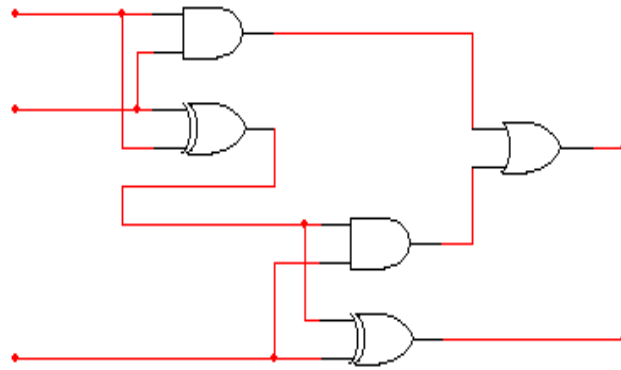


.....

.....

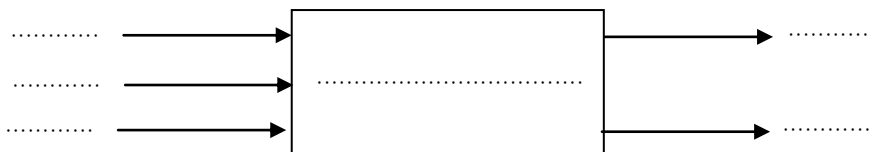
.....

التصميم المنطقي :



نسمي العملية السابق بـ : و الذي يحقق لعددین A و B
.....

بصفة عامة :



نشاط 3 : قم بانجاز جامع كامل انطلاقا من نصف جامع :

الحل :

$$r_i = a_i \cdot b_i + r_{i-1} \cdot (b_i \oplus a_i) \quad \text{لدينا :}$$

$$S_i = a_i \oplus b_i \oplus r_{i-1}$$

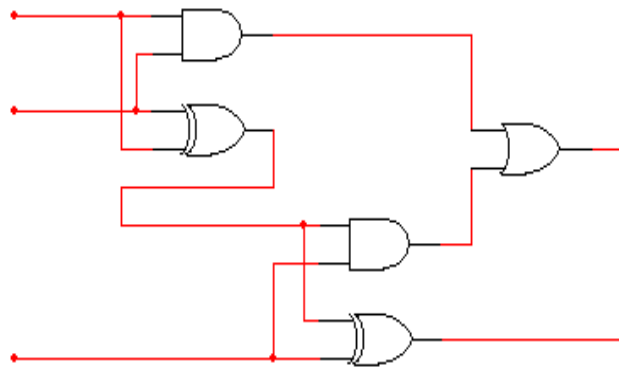
نضع : $Y = a_i b_i$ نتحصل على :

$$X = a_i \oplus b_i$$

نضع : نتحصل على :

نلاحظ أن : ♦

♦



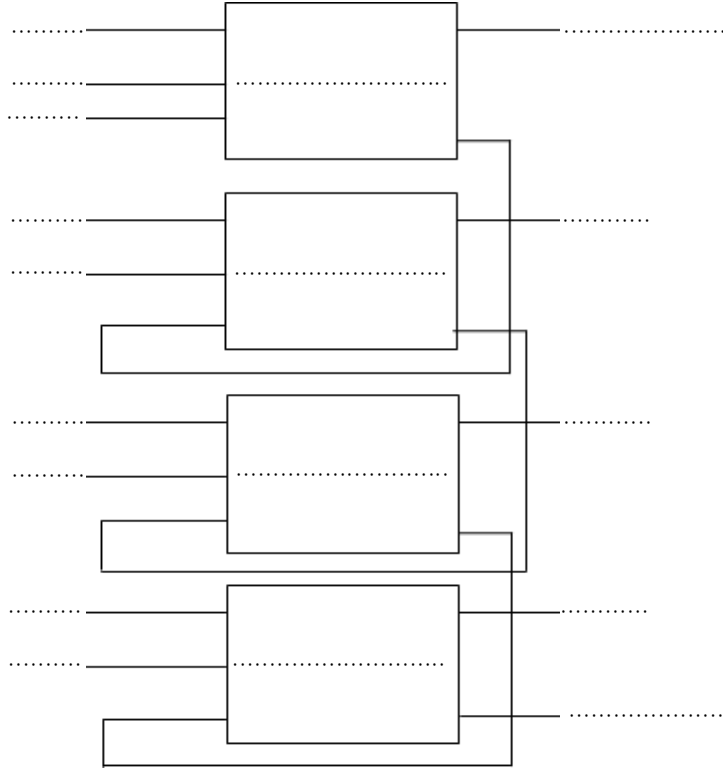
نشاط 4 : من أجل نفس العددين السابقين : $A = a_4 \cdot 2^3 + a_3 \cdot 2^2 + a_2 \cdot 2^1 + a_1 \cdot 2^0$

$$B = b_4 \cdot 2^3 + b_3 \cdot 2^2 + b_2 \cdot 2^1 + b_1 \cdot 2^0$$

نريد انجاز التصميم الالكتروني الذي يمكننا من جمع العددين A و B ، ماهي الطريقة التي تمكننا من ذلك ؟

الحل :

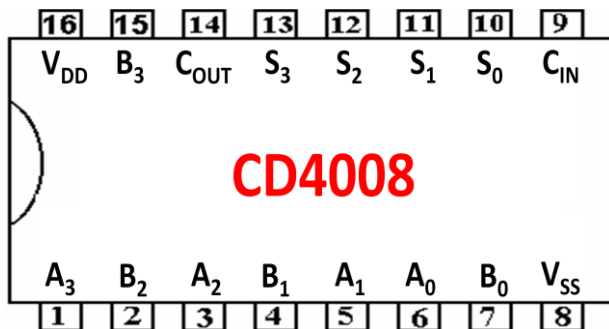
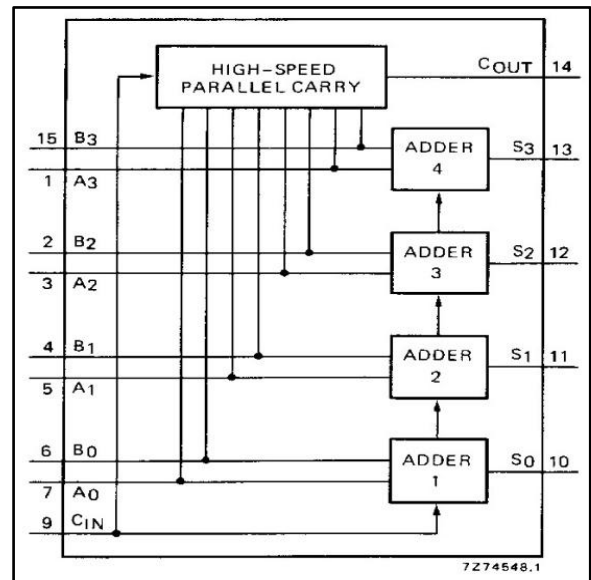
$$\begin{array}{r} + \quad \begin{array}{cccc} a_4 & a_3 & a_2 & a_1 \\ b_4 & b_3 & b_2 & b_1 \end{array} \\ \hline = \end{array}$$



هناك حل تكنولوجي آخر و هو استعمال الدارة المدمجة : SN7483 أو CD4008

الدارة المدمجة 4008 :-

INPUTS			OUTPUTS	
C_{IN}	A	B	C_{OUT}	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



➤ المدخل A : (A_0 , A_3) ،.

➤ المدخل B : (B_0 , B_3)

➤ المجموع ($A+B$) : (S_0 , S_3)

➤ الإحتفاظ : (C_{OUT} , C_{IN})

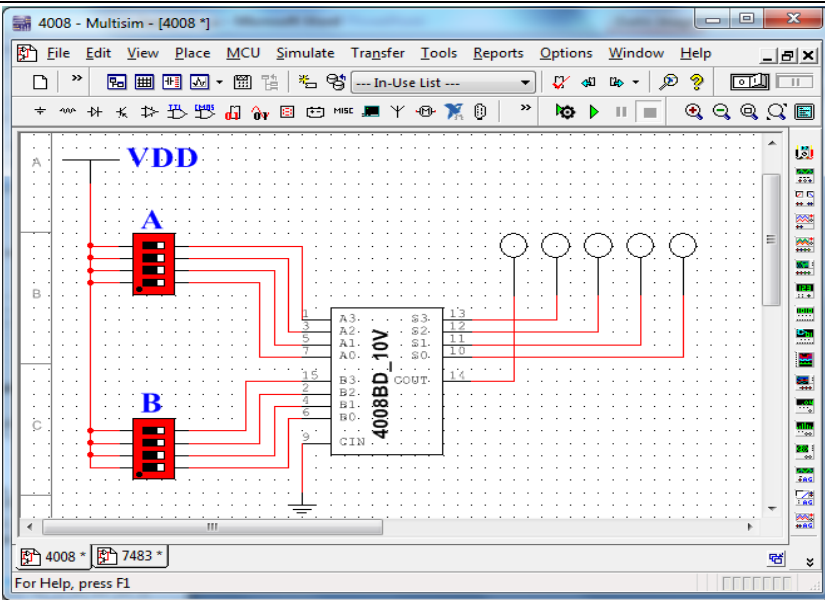
نشاط 5 : باستعمال البرنامج

Multisim، حقق

التركيب القاعدي

- ماهي أكبر نتيجة يمكن الحصول عليها ؟

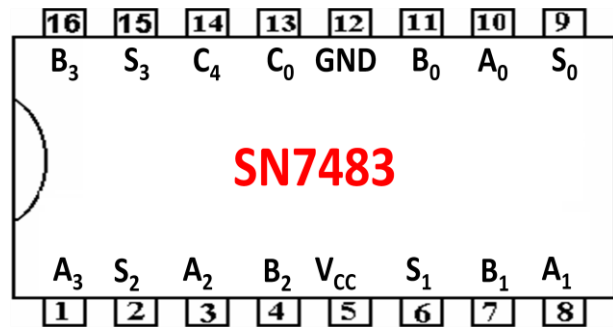
- لماذا ؟



نشاط 6 : باستعمال البرنامج Multisim: نريد انجاز جامع بـ 8 أبيت بالدائرة المدججة SN7483 ، انجز التركيب

المناسب

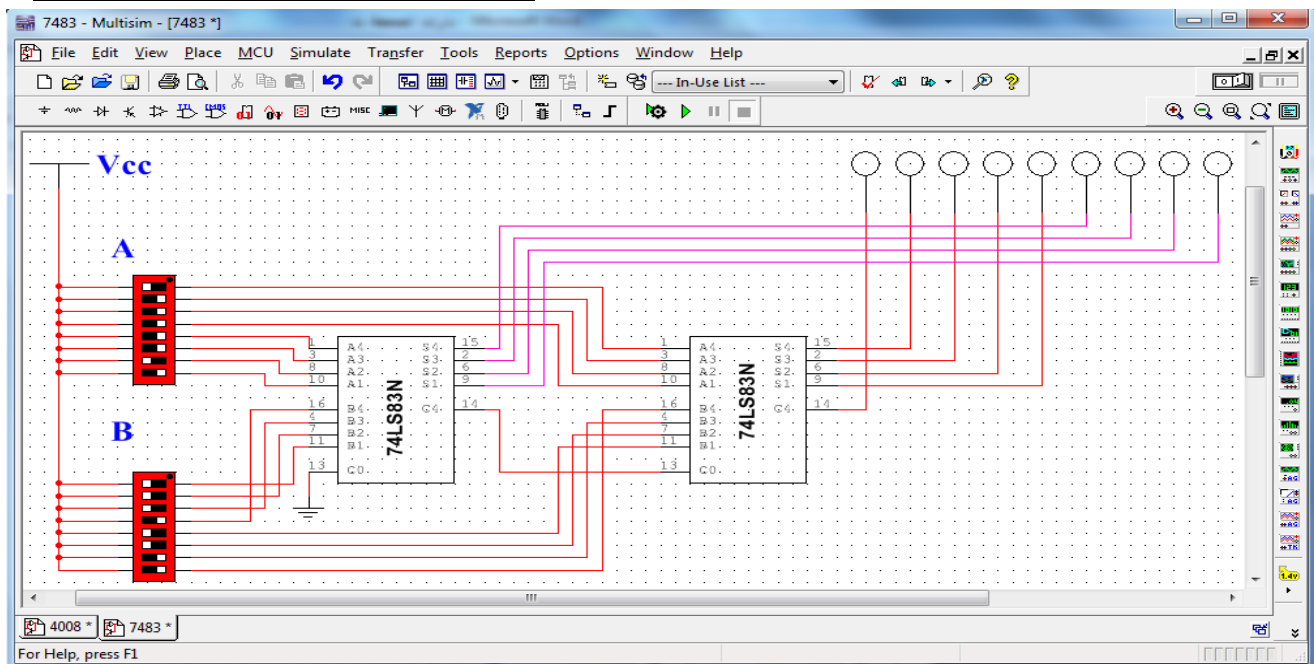
INPUTS			OUTPUTS	
C_0	A	B	C_4	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



➤ المدخل A : (A_0, A_3) ، المدخل B : (B_0, B_3)

➤ المجموع ($A+B$) : (S_0, S_3)

➤ الإحتفاظ : (C_4, C_0)



نشاط 7 : من أجل نفس العددين السابقين : $A = a_4.2^3 + a_3.2^2 + a_2.2^1 + a_1.2^0$
 $B = b_4.2^3 + b_3.2^2 + b_2.2^1 + b_1.2^0$

انجز التصميم الالكتروني الذي يمكننا من طرح b_2 من a_2 :

أ/ لا نأخذ بعين الاعتبار الاستعارة من الرتبة السابقة.

ب/ نأخذ بعين الاعتبار الاستعارة من الرتبة السابقة.

الحل :

أ/ لا نأخذ بعين الاعتبار الاستعارة من الرتبة السابقة.

جدول الحقيقة :

معادلات التشغيل :

.....

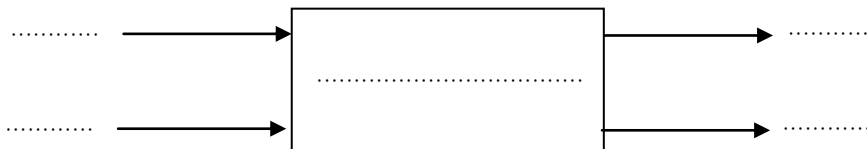
.....

التصميم المنطقي :

نسمي العملية السابق بـ : و الذي يحقق لعددين A و B

.....

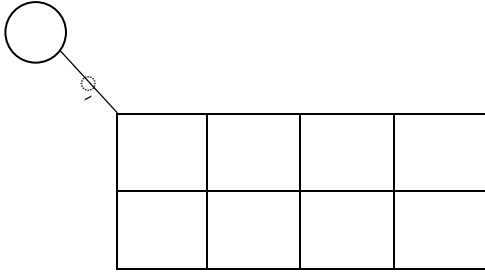
بصفة عامة :



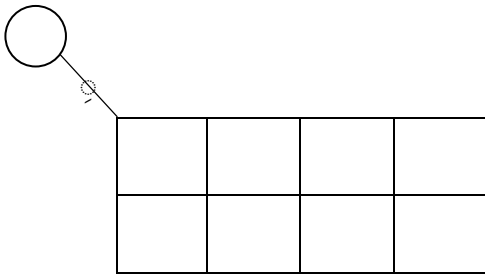
ب/ نأخذ بعين الاعتبار الاستعارة من الرتبة السابقة.

جدول الحقيقة :

معادلات التشغيل :

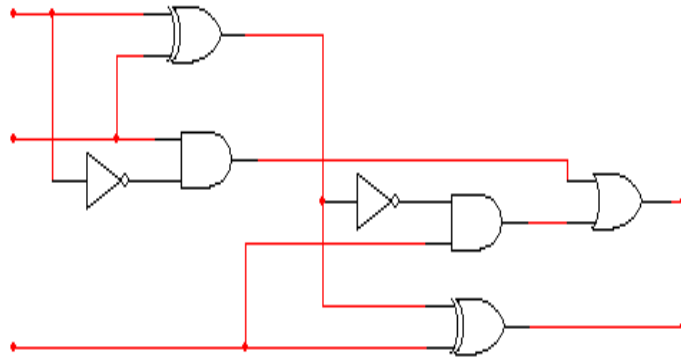


.....
.....



.....
.....
.....

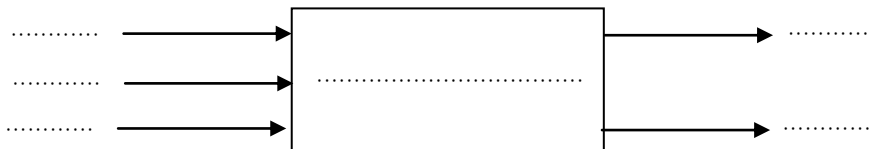
التصميم المنطقي :



نسمي العملية السابق بـ : و الذي يحقق لعددین A و B

.....

بصفة عامة :



نشاط 8 : قم بانجاز طارح كامل انطلاقا من نصف الطارح:

الحل :

$$c_i = b_i \cdot c_{i-1} + \bar{a}_i \cdot (b_i \oplus c_{i-1})$$

لدينا :

$$D_i = a_i \oplus b_i \oplus c_{i-1}$$

نضع : } نتحصل على :

نضع : } نتحصل على :

نلاحظ أن : }

